

大域ディペンダブル情報基盤プロジェクト

アーキテクチャグループ

平木 敬
情報理工学系研究科

1. はじめに

アーキテクチャグループでは、性能なディペンダブル情報基盤を、CPU および周辺アーキテクチャという側から実現するための研究を実施している。具体的には、CPU アーキテクチャ自身の超信頼化、情報システム全体を信頼化するために必要な機能を持つディペンダブルプロセッサの実現、信頼な計算システム技術および、インターネット上でのセキュリティ保護のために必要なアーキテクチャを研究対象としている。平成 年度は、アーキテクチャグループの各グループともに平成 年度から引き続き、ディペンダブルアーキテクチャを①要素故障が発生しても動作を継続するプロセッサアーキテクチャ、②性能とディペンダビリティの両立を実現するプロセッサアーキテクチャ、および③ クラスタコンピュータを信頼化するソフトウェア、④超 インターネット上のパケットを観測することにより、不正なアクセスを検出する IDS システムを実現するネットワークプロセッサアーキテクチャの 個の観点から扱った。

2. 高耐故障プロセッサの研究 I(平木)

耐故障プロセッサの研究では、プロセッサを構成する要素回路ブロックが故障した場合、CPU 回路を組替え、機能を縮小するとともに、縮小した機能を組み合わせてアプリケーションソフトウェアが要求する機能・性能を実現する方式を提案している。平成 年度は、耐故障性を持つプロセッサ実現の要素技術として最も困りな点である、どのようにして、早期の段階で故障を検出し、提案しているアルゴリズムによる修復につなげるかという問題に取り組んだ。平成 年度には、検出から修復までをシステムとして完成させる予定である。

3. 超ディペンダブルプロセッサアーキテクチャの研究 I(坂井、五島)

本研究項目ではマイクロプロセッサを対象として、内にディペンダビリティ機能を組み込み、性能・省力・ディペンダビリティの 者をバランス良く向上させるプロセッサアーキテクチャの研究を行っている。平成 年度は、値範囲解析による脆弱性検出、レジスタファイルの書き込み時タイミングエラーの検出・回復、アドレスオフセットに着目したデータフロー追跡による注入攻撃の検出、キャッシュにおけるソフトエラー検出機構などの提案を行い、基本設計・基本評価を行った。さらに、

これらを統合する超ディペンダブルプロセッサのアーキテクチャを提案した。

最終年度は、ディペンダビリティ制御機構の研究開発を、統合アーキテクチャの具体化・詳細化を行う予定である。

4. 高信頼 HPC クラスタの研究 I(南谷、中村)

本研究では、信頼 HPC クラスタシステムの実現を目指し、そのためにまずチェックポインティング機構の実現を目指す。具体的には、クラスタシステムにおけるチェックポインティングの問題点を整理するために、ソースが一般に公開されている SCore クラスタシステムをまず取り上げた。

平成 年度は、ノードごとに故障率が異なるシステムにおいてチェックポインティング間隔の最適化により効率の良い 1MIR チェックポインティング手法を提案した。シミュレーションによりこの手法の妥当性を示した。

平成 年度には故障率の均一性を空間から時間に拡張し、実行中に故障率が変動するシステムの信頼化に取り組む予定である。

5. 超高速 IDS 用ネットワークプロセッサの研究 I(平木)

インターネットを介した情報化社会において大きな問題となっている、不正アクセスや外部からの DOS 攻撃に対して防御するため、侵入検知システム I IDS は重要な役割をはたす。しかしながら、現状の IDS はソフトウェアにより実現されるため、超ネットワーク I 基幹ネットワークなどへそのまま適用することが不可能である。本研究は、不正アクセス検出ルールを、自動的にネットワークプロセッサ上のソフトウェアコードと、FPGA を用いたハードウェア回路に分割し、回路合成することにより、S Gbps から S S Gbps 領域での IDS を実現することを目的としている。平成 年度では、TCP ストリームにおける様々な外部からの攻撃モデルに対して有効にストリングマッチングを実現するアルゴリズムを提案し、FPGA を用いた評価を行った。その結果、次世代インターネットの標準となる 40Gbps ネットワークのワイヤスピードにおいても、有効に IDS を実現するために必要なマッチング性能が得られることが検証された。平成 年度には、実際に IDS を実現する装置、ネットワークフィルタを実現し、最終的な評価を行う予定である。