実世界情報システムプロジェクト ～VR研究グループ～
高性能低消費電力プロセッサの研究

南谷崇　中村宏

情報理工学系研究科システム情報学専攻 (先端科学技術研究センター)

1　はじめに

リアルタイムで現実の世界とのインタラクションをとることが可能なVR空間を構築するためには，高品質なマルチメディア情報端末を廉価に提供することが重要となる．しかしながら，マルチメディア情報端末に対する性能向上の要求は，デバイスの微細化による素子の速度向上を凌いでおり，従来のディジタルシステムのVLSIアーキテクチャを踏襲していては，その要求を満たすことができなくなる，という問題が指摘されている．しかも，本研究で扱う対象は携帯容易さが重要な情報端末であるため，消費電力を極力抑えてこの問題を解決しないといけない．

プロセッサの消費電力は，主にトランジスタのスイッチングに起因するダイナミック消費電力とリーク電流に由来するスタティック消費電力からなる．従来はダイナミック消費電力がプロセッサの消費電力の大半を占めていたが，今後はスタティック消費電力の寄与が大きくなると予測されている．これは半導体技術の微細化に伴い，トランジスタが導通し始める閾値電圧が低下し，リーク電流が増加するためである．また，近年の高性能プロセッサにおいては，特にチップ上のキャッシュメモリにおけるスタティック消費電力がプロセッサの消費電力のうち大きな割合を占めている．キャッシュはプロセッサチップ上のトランジスタ数の多くの割合を占めており，それに比例してスタティック消費電力が増大するためである．本研究が扱う情報携帯端末では，特に待機時間が長くバッテリー駆動下という環境が予想されるため，待機時電力に影響を与えるスタティック消費電力の削減は非常に重要な問題である．

我々は，同一VLSI上にプロセッサコアと大容量のメモリを搭載する新しいVLSIアーキテクチャSCIMA(Software Controllable Integrated Memory Architecture)[1]を提案している．大容量メモリは，従来型のキャッシュだけでなく，新たにソフトウェアから制御可能なメモリとしても用いる．この可制御メモリは，アドレス指定可能としソフトウェアによるデータ配置と入れ替えを制御可能とする点が従来のキャッシュとは本質的に異なる．また，可制御メモリはキャッシュと違い，動作がソフトウェアによって陽に指定されるため，性能が予測可能でリアルタイム性の維持が容易である，という特徴がある．

昨年度までは，このSCIMAアーキテクチャの検討を，性能とダイナミック消費電力の面から定量的に行っていたが，本年度はこのアーキテクチャ上で，スタティック消費電力を削減する手法に関して検討を加えた．

2　SCIMA

SCIMAの構成を図1に示す．SCIMAはプロセッサ上にキャッシュだけでなく，アドレス指定可能なSCM (Software Controlled Memory)を搭載する．従来のキャッシュでは，データのアロケーションやリプレースメントがハードウェアで暗黙的に制御されるのに対し，SCMはそれらの制御をソフトウェアで明示的に行う．

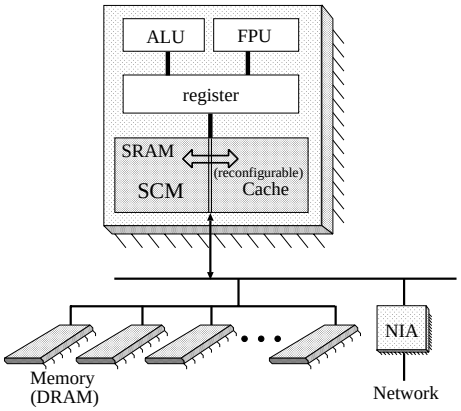

図 1: SCIMA の構成

拡張命令　SCM へのデータ転送を制御するため，page-load/page-store と呼ぶ主記憶・SCM 間のデータ転送命令を追加する．本命令によるデータ転送は大きな粒度で行ない，オフチップメモリレーテンシの影響を抑えることを狙う．

レジスタ・SCM 間のデータ転送は従来の load/store 命令により行う．前節で述べたアドレスマッピング機構により，load/store の対象アドレスが SCM 領域か否かを判定し，SCM 領域であれば SCM へのアクセスを，そうでない場合は通常のキャッシュアクセスを行なう．

キャッシュ・SCM 統合機構　キャッシュと SCM に割り振られる容量をアプリケーションの性質に応じて変えるべく，総容量一定のもと SCM とキャッシュの容量比を実行時に再構成できる機構を提案しており，具体的には，n-way 連想キャッシュの連続する一部の way を SCM に割り当てる．

SCIMA コンパイラ　SCM を利用したプログラミングを容易にする目的で，ディレクティブベースコンパイラ [2] を提案している．ディレクティブを用いることでソースコードのセマンティクスに影響を与えることなく SCM と主記憶間のデータ転送が可能となる．

図 2 に SCIMA 用ディレクティブを用いたプログラムの例を示す．SCM 領域を確保するための `!$scm begin` ディレクティブは，引数に配列名，配列の各次元毎のサイズ，ストライド幅をとる．プログラム実行時には，指定した配列用の SCM

```
      integer i, j, N
      real*8 a(N), sum
      sum = 0.0
!$scm begin(a, BL, 0)   ← 配列a用に要素BL個分の領域を確保
      do i =1, N, BL
!$scm load (a, i, BL)   ← 確保した領域にBL個の要素を転送
        do j=i,i+BL
          sum = sum + a(j)
        enddo
      enddo
!$scm_end(a)            ← 配列a用に確保した領域を解放
```
図 2: SCIMA ディレクティブの挿入例

領域が `!$scm begin` の挿入位置で，各次元のサイズの積で表されたサイズ分確保される．SCM 領域の確保を済ませた配列は `!$scm load` ディレクティブにより SCM に転送される．`!$scm load` は引数で配列名，転送の起点となる要素，各次元毎の転送サイズを指定する．また `!$scm begin` で確保された領域は，対応する `!$scm end` ディレクティブで解放される．

3　SCIMA におけるスタティック消費電力削減

回路技術に Gated-Vdd を採用した SCM のリーク電流削減機構について検討し，これをソフトウェアから制御してスタティック消費電力を削減する戦略 [3] について述べる．

Gated-Vdd　Gated-Vdd[4] は，SRAM セルの内部回路と Gnd の間に閾値の高い Gated-Vdd トランジスタを設け (図 3)，Sleep モード時にはこれをオフにし電源供給を絶つことでリーク電流の削減を狙う．この Gated-Vdd トランジスタは同一ライン上のセルで共有され，ライン単位で Active/Sleep の制御を行う．Gated-Vdd は電源供給がオフになるためリーク電流は大きく削減できるが，Sleep モードに移行したセル内の情報は失われてしまう．

SCM のリーク電流削減機構　Gated-Vdd を用いて SCM におけるリーク電流を削減するために，Active/Sleep モード切り替えの単位を決定する必要がある．SCM は page 単位でデータ転送の管理

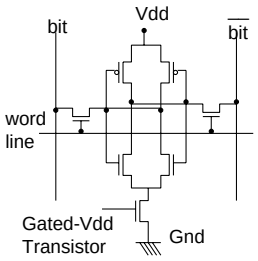

図 3: Gated-Vdd

が行なわれるため，Active/Sleep 切り替えも page 単位で行なうのが妥当であると考えられる．そこで，各ラインの Gated-Vdd トランジスタに対して，page サイズごとに制御レジスタを設けることで，page サイズでのモード切り替えを行うこととした．これは，もとの Gated-Vdd に対する簡単な拡張で実現可能であると考えられる．

ソフトウェアからの各 page の Active/Sleep モードの切り替えは，上述の制御レジスタに対して，対応する page のビットをセット/リセットすることで行なう．

リーク電流削減手法　SCM においては page 単位で Active/Sleep を切り替えるために，page に保持されているデータが必要であるか不必要であるかを判断し，その情報をプログラム中で与えなければならない．SCIMA ディレクティブを用いたプログラミングでは，ある配列用の SCM 領域の確保と解放のために明示的にディレクティブが挿入されるため，SCM 上の領域のデータが必要か不必要かの判断はこのディレクティブに基づいて行なうことが可能である．

具体的には，プログラムの開始時には page を全て Sleep モードとし，`!$scm begin` によって SCM 領域が確保される際に，確保領域に含まれる page を Active モードとする．一方，`!$scm end` によって領域が解放される際に，その領域に含まれる page を Sleep モードとする．これによって SCM 上の必要な page のみ Active モードにし，残りの領域を Sleep モードにできるためリーク電流を削減することができる．

4　評価

評価条件　提案手法の有効性を検討するため，性能ならびにスタティック消費エネルギーの初期評価を行った．評価プログラムは，行列積 (倍精度 256 × 256) を選択した．比較のために，以下の 3 つのアーキテクチャの評価を行った．このうち，CacheDecay[5] は，ある一定間隔 (以降 Decay Interval と呼ぶ) ごとにアクセスのなかったキャッシュラインを自動的に Sleep にするハードウェア機構が用意するものである。

- 従来のキャッシュアーキテクチャ向けに最適化したコードを，従来構成のキャッシュのもとで実行した場合 (Cache)
- Cache と共通のコードを，キャッシュ向け低消費電力手法 CacheDecay のもとで実行した場合 (CacheDecay)
- SCIMA 向けに最適化を行ったコードを，提案手法のもとで実行した場合 (SCIMA)

キャッシュは 4way set associative 方式，容量は 64KB とした．SCIMA においてはこのうちの 3way 分 (48KB) を SCM として利用可能とした．SCIMA においては，キャッシュ領域は，常に全体が Active であるとしている．なお CacheDecay では最適な Decay Interval を実行前に求めるのは困難であるが，今回は複数の Interval を試行し，最もスタティック消費エネルギー・遅延積が小さくなるものを採用した．これは CacheDecay にとってはかなり有利な評価条件である．

評価結果　性能に関する評価結果を図 4，スタティック消費エネルギーの結果を図 5，スタティック消費エネルギー・遅延積を図 6 に示す．図中，SCIMA の評価結果の BL の値はブロックサイズを表す．

評価結果より以下のことがわかる．まず，CacheDecay では最も有利な DecayInterval を後から選択していることもあり、スタティック消費エネルギーはかなり抑えられている．しかし，ライン

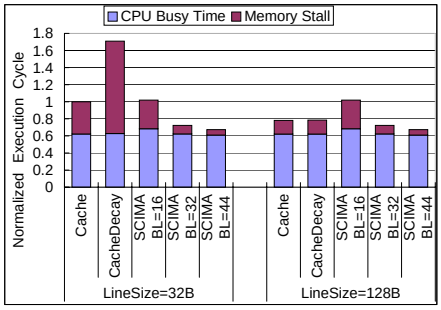

図 4: 行列積の性能評価

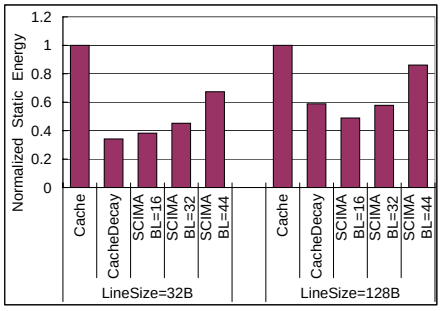

図 5: 行列積のスタティック消費エネルギー評価

サイズ 128B の時は SCIMA の方がスタティック消費エネルギーは小さい．ケースにより，CacheDecay よりもエネルギーが多くなる一因は，評価において SCIMA におけるキャッシュ部を常に Active モードとしているからである．しかしながら，CacheDecay では性能が著しく低下する．これは，リアルタイム性が要求される場合には致命的な短所となる．それに対し，SCIMA はスタティック消費エネルギーを抑えながら最も高い性能を達成しており，スタティック消費エネルギー・遅延積でも，SCIMA がもっとも低い値を示す．

なお，SCIMA においては，ブロックサイズを大きくすると Active 領域が大きくなりリーク電流が増える一方，ブロックサイズを小さくすると実行時間が長くなる，という関係があるため，スタティック消費エネルギー・遅延積を最小にする最適なブロックサイズが存在する．

5 まとめ

同一 VLSI 上にプロセッサコアと大容量のメモリを搭載する SCIMA アーキテクチャにおいて，

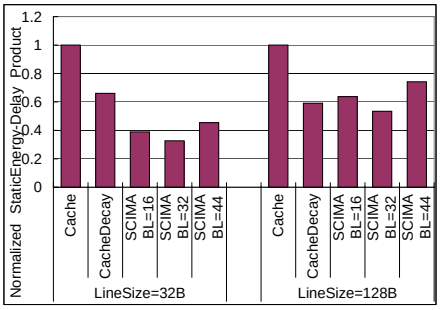

図 6: 行列積のスタティック消費エネルギー・遅延積

スタティック消費エネルギーを削減する手法を提案しその初期評価を行った．評価結果より，提案手法は，現実の世界とのインタラクションをとる VR 空間を構築する情報携帯端末に必要な，高性能かつ低スタティック消費エネルギー，という要件を満たすことがわかった．

来年度以降は，今回扱っていない，SCIMA におけるキャッシュ部分のリーク電流削減手法，および SCM をさらに有効に活用可能なコンパイラの開発を引き続き実施する予定である．

参考文献

[1] M.Kondo and H.Nakamura, “Reducing Memory System Energy by Software-Controlled On-Chip Memory”, IEICE Trans. on Electronics, Vol.E86-C , No.4, pp.580-588, 2003

[2] 藤田元信，近藤正章，中村宏,“ソフトウエア制御オンチップメモリ向け自動最適化コンパイラの提案 ”, 情報処理学会論文誌コンピューティングシステム Vol.45, No.SIG1(ACS4), pp.77-87, 2004

[3] 藤田元信, 近藤正章, 中村宏, ”ソフトウェア制御オンチップメモリにおけるスタティック消費電力削減手法”, Vol.45, No.SIG11(ACS7), pp. 219-228, 2004

[4] M. Powell, et al. “Gated-Vdd: A circuit technique to reduce leakage in deep-submicron cache memories,” Proc. of ISLPED’00, pp. 90-95, Aug. 2000.

[5] S. Kaxiras, et al., “Cache decay: Exploiting generational behavior to reduce cache leakage power,” Proc. of 28th ISCA, July 2001.