

大域ディペンダブル情報基盤プロジェクト

アーキテクチャグループ

平木 敬
情報理工学系研究科

1. はじめに

アーキテクチャグループでは、高性能なディペンダブル情報基盤を、CPU および周辺アーキテクチャという側面から実現するための研究を実施している。具体的には、CPU アーキテクチャ自身の超高信頼化、情報システム全体を高く信頼化するために必要な機能を持つディペンダブルプロセッサの実現、高信頼な計算システム技術および、インターネット上でのセキュリティ保護のために必要なアーキテクチャを研究対象としている。平成15年度には、平成14年度から引き続き、ディペンダブルアーキテクチャを要素故障が発生しても動作を継続するプロセッサアーキテクチャ、性能とディペンダビリティの両立を実現するプロセッサアーキテクチャ、および クラスタコンピュータを高く信頼化するソフトウェアの3つの観点から扱うとともに、新たに、超高速インターネット上のパケットを観測することにより、不正なアクセスを検出するIDSシステムを実現するネットワークプロセッサアーキテクチャの研究を開始した。

2. 高耐故障プロセッサの研究(平木)

高耐故障プロセッサの研究では、プロセッサを構成する要素回路ブロックが故障した場合、CPU回路を組替え、機能を縮小するとともに、縮小した機能を組み合わせてアプリケーションソフトウェアが要求する機能・性能を実現する方式を提案し、シミュレーションを行った。この高耐故障プロセッサ方式は、宇宙空間や高山、深海など人間が修理に行くことが不可能な場所で長期間動作させることが必須である応用分野において大きな意義があるとともに、ソフトウェアとハードウェアの協調により回路規模の最適な縮小を行うことを特色としている。平成16年度以降は、最適方式を更に追求するとともに、FPGAを用いたブレッドボードモデルを構築する予定である。

3. リンコンフィギュラブルユニットを用いたディペンダブルプロセッサの研究(田中、坂井)

ここではマイクロプロセッサレベルでのディペンダビリティを対象とし、システムLSIに再構成可能ユニットを組み込み、CPUと機能分散することで、性能とディペンダビリティの両面を向上させるプロセッサアーキテクチャ(コデザインを含む)の研究を行っている。平成15年度

はチップマルチプロセッサ部の構造と機構を検討し、電力シミュレーション

フレームワークを開発し、キャッシュ方式の提案などを行った。これらの有効性について、シミュレーションによって検証した。今後は、信頼性・安全性を向上させつつ性能・電力面も満足させるようなアーキテクチャ、コンパイラの設計が課題となる。また、前年度に研究したRUとの組合せがさらなる課題となっている。

4. 高信頼 HPC クラスタの研究(南谷、中村)

本研究では、高信頼 HPC クラスタシステムの実現を目指し、そのためにまず高速チェックポイント機構の実現を目指す。具体的には、クラスタシステムにおけるチェックポイントの問題点を整理するために、ソースが一般に公開されている SCore クラスタシステムをまず取り上げた。

平成15年度は、Scoreによるチェックポイントおよび回復を高速化するため、ネットワークによるチェックポイント情報の伝達の高速化を目的とした改良を行い、性能の4倍の向上を実現した。また、チェックポイント気候の性能解析と、得られる信頼性向上を定量的に示した。平成16年度以降は、さらなる高信頼化手法を提案し、我々の最終目標である、高信頼 HPC クラスタシステムを実現する。

5. 超高速 IDS 用ネットワークプロセッサの研究(平木)

本研究は平成15年度から開始する新しいテーマである。インターネットを介した情報化社会において大きな問題となっている、不正アクセスや外部からのDOS攻撃に対して防御するため、侵入検知システム(IDS)は重要な役割をはたす。しかしながら、現状のIDSはソフトウェアにより実現されるため、超高速ネットワーク(基幹ネットワークなど)へそのまま適用することが不可能である。本研究は、不正アクセス検出ルールを、自動的にネットワークプロセッサ上のソフトウェアコードと、FPGAを用いたハードウェア回路に分割し、回路合成することにより、10Gbpsから100Gbps領域でのIDSを実現することを目的としている。平成15年度は第一年度として、基本的なパケットマッチングアルゴリズムのハードウェア化を実施した。