

## 高速ビジョンシステムに関する研究成果

石川正俊 橋本浩一 小室孝 鏡 慎吾  
情報理工学系研究科システム情報学専攻

### 概要

1 秒間に 1000 フレームの画像処理能力を持つ高速ビジョンシステムを複数台用いて人間の動きや意図を人間が行動を終了する前にあらかじめ察知するようなセンシングシステムを開発する。そして、人を超える性能を提示するデモンストレーションを実現することで、システムの有効性を目に見える形で示すことを目標とする。

### 1 はじめに

実環境で人とロボットがインタラクトする場合、システムが人間と直接的に触れ合うのでビジョンなどのセンサによって人間の動きを素早く観測し、正確かつ安全にロボットを制御する必要がある。

一方、我々はこれまでに、視覚情報を実時間に取得・処理する視覚情報処理デバイスとして、イメージセンサの画素毎に処理回路を取り付けたビジョンチップおよびその技術を応用した高速ビジョンシステムの開発を行っており、それをを用いて従来の視覚センサでは不可能な 1ms の高速視覚フィードバックを実現している。視覚情報は実世界情報の中でも特に情報量が多く、人間の活動の基本となるものであり、これを実時間に取得・処理することが、情報システムの高度化において重要であるといえる。

本研究では、この 1 秒間に 1000 フレームの画像処理能力を持つ高速ビジョンシステムを複数台用いて人間の動きや意図を人間が行動を終了する前にあらかじめ察知するようなセンシングシステムを開発する。

具体的には、視覚によって微少な人間の行動を高速に検出するアルゴリズムおよび視覚特徴量から人間の意図を知るための学習アルゴリズムを開発する。さらに、人と対戦するゲームなどにおい

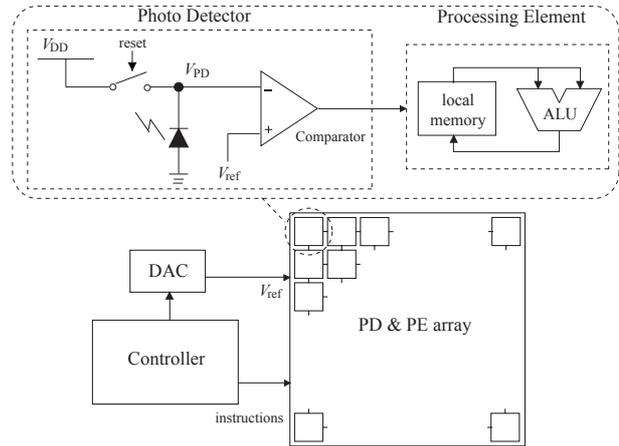


図 1: システム全体の構成。

て人を超える性能を提示するデモンストレーションを実現することで、システムの有効性を目に見える形で示すことを目標とする。

本報告では、平成 15 年度の成果として、前年度までに開発した超並列ビジョンの実績に基づき、その複数台のネットワーク接続の実現に向けて新たに導入したビジョンシステムの概要について報告する。

### 2 アーキテクチャ

開発したシステム全体の構造を図 1 に示す。光検出器 (PD)/処理回路 (PE) のアレイと、それに対して制御信号、アナログ参照電圧を供給するコントローラからなる。

図 2 に新たに導入された PE の構造を示す [1]。全ての画素が単一の命令流によって制御される。各画素の PE には、ビットごとに演算を行う ALU と、ビットごとにランダムアクセス可能なローカルメモリが備わっている。ALU は、全加算器と入出力マルチプレクサ、キャリーレジスタからなる。

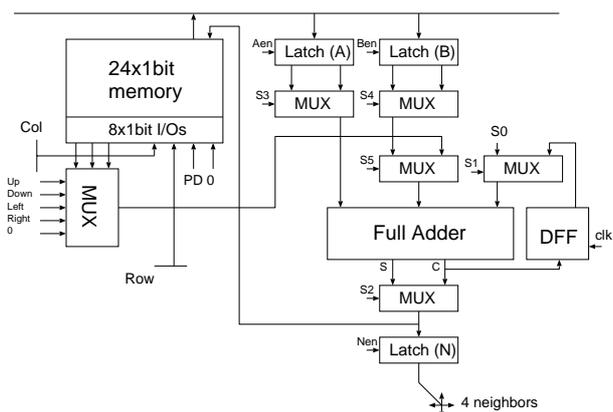


図 2: PE のブロック図

この基本的な構成は前年度までのアーキテクチャと同様のものであり、ビットごとの演算を繰り返すことで、さまざまな画像処理を実行できる。

画素間の通信には新たな構造が導入された。各画素はその隣接画素と、図 2 に Latch N と示された D ラッチからなる出力ポートを通して通信できる。エッジ検出や平滑化などの処理がこれによってなされるだけでなく、Latch N をイネーブルし続けることによって隣接する PE を結合し、一つの大きな組合せ論理回路として扱う手段としても利用できる点を新たな特徴とする。

この PE 結合機能により、離れた PE 間の効率的な通信を実現することができ、対象の位置、姿勢の抽出といった大域的な特徴計算が高速化されるほか、ブロックマッチング、座標変換のように以前のアーキテクチャでは不得手であったさまざまな処理が、効率的に実行できるようになった。

制御機構についても、前年度の構造を元に、新しい PE アレイアーキテクチャに対して最適化されたアーキテクチャを新たに開発した。具体的には、図 3 に示す制御アーキテクチャのうち、PE アレイに依存する部分である SIMD パイプラインの再設計を行った。

新しい SIMD パイプラインの構造を図 4 に示す。SIMD アレイ制御信号は、命令フェッチの後、ID、VA の各ステージを通して展開・生成され、後続する VI ステージで、逡倍されたクロックに同期して SIMD アレイに送出される。ここで、命令コードと制御信号の対応づけの一部や、制御信号

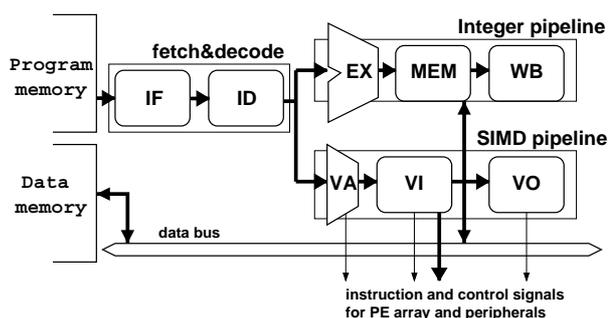


図 3: 既に提案した制御アーキテクチャ

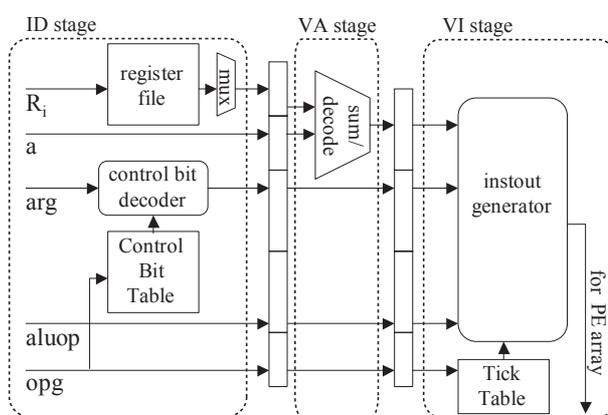


図 4: 新たに設計された SIMD パイプラインの構造

の遷移タイミング等を事後的に変更可能なように、これらがコントローラ内においたテーブルに従って制御されるようにしており、仕様変更への柔軟な対応を可能としている。

### 3 システム実装

システムとしての実装に当たっては、2つの目標を設定した。1つは、ネットワーク接続等を含めた新機能への対応を容易とする拡張性の確保であり、2つめは、具体的なデモンストレーションシステムとしての利用に耐える使いやすさである。この2つの目標は、特にフォームファクタの決定においては相反しがちであり、その調整を取ることが重要である。

開発したシステムの外観および構成する各基板を図 5 および図 6 に示す。最小構成は、ビジョン

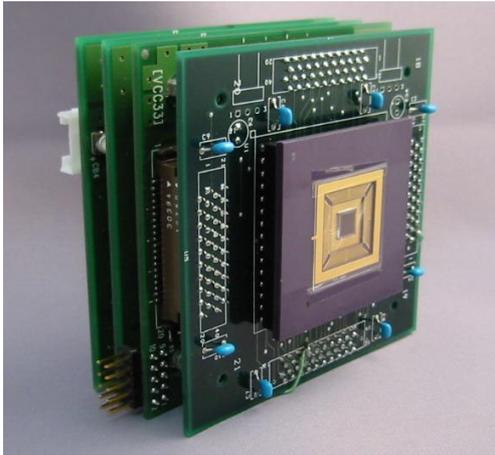


図 5: 開発したシステム

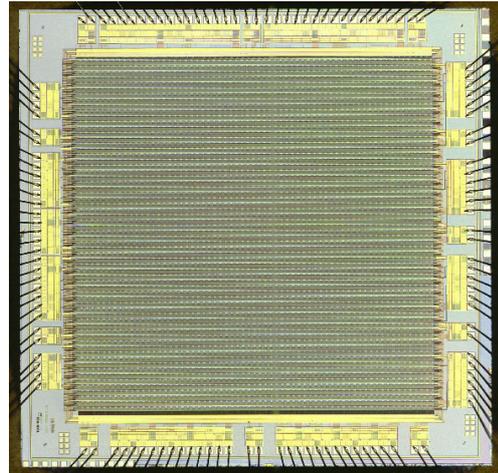


図 7: デジタルビジョンチップのチップ写真

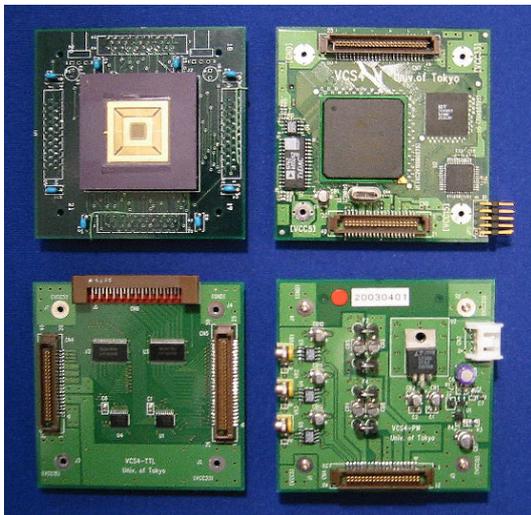


図 6: 開発したシステムの構成基板

チップを搭載する基板(図 6 左上)と、コントローラを実装した FPGA 等を搭載する基板(同右上)の 2 枚をスタックした形となる。

必要に応じて、入出力レベル変換基板(同 左下)や電源基板(同 右下)を追加して使用する。ユーザは、自分の必要とするモジュールのみを組合せて使うことができる。スタックの形を採用することで、構造上は基板の枚数に制限がないため、必要に応じて新たなモジュールを開発し、追加することも可能である。

すべての基板サイズを 76×76 mm に合わせ、入出力レベル変換や電源といった必ずしもオンボー

ドである必要のない要素を複数の基板に分配するとともに、大容量 FPGA を導入して部品数の減少を図った。これにより、従来に比べて大幅な小型化を実現した。

図 5 の最前面にあるセンサボードには、前述の PD/PE アレイアーキテクチャの CMOS VLSI としての実装であるデジタルビジョンチップを搭載している。そのチップ写真を図 7 に示す。0.35  $\mu\text{m}$  CMOS プロセスを用いて、 $5.4 \times 5.4 \text{ mm}^2$  のチップ内に  $64 \times 64$  画素を集積している。

前面から 2 枚目のに当たるコントローラ基板には、前述した制御アーキテクチャを実装した FPGA が搭載されている。外部システムとのインタフェースを柔軟にするため、FPGA 外の要素についても、外部との接続は必ず FPGA を経由するように構成されている。これによってさまざまな外部システムとの接続を、FPGA 内に実装されたインタフェースモジュールの入れ替えのみで実現することができる。現在、この構造を利用して、ネットワーク接続を実現するための拡張を行っているところである。

動作実験を行い、コントローラの命令レート 10MHz、SIMD アレイの制御信号レート 80MHz での動作を確認した。命令サイクルの粒度での実時間性を保証可能なアーキテクチャであるため、制御の時間分解能は 100ns である。基本的な視覚処理の結果を図 8 に示す。

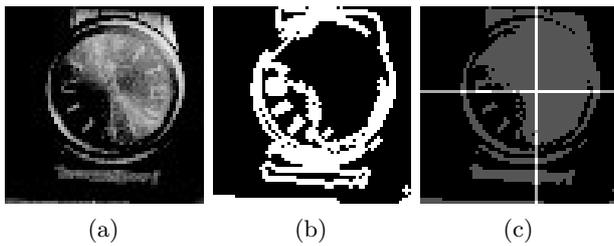


図 8: 視覚処理結果. (a) 6 ビットグレースケール撮像 (b) エッジ検出 (c) 重心検出.

## 4 ソフトウェア A-D 変換

実環境で有効に機能する視覚システムを実現するためには、状況に応じて適切に感度特性を制御し、柔軟に適應できることが必要となる。これを実現するため、PD の動作をソフトウェアで制御し、任意の A-D 変換特性を実現するための手法を提案した [2]。この手法では、開発したコントローラの持つ実時間制御性能を最大限に活用し、PD を制御するタイミングと、その各時刻における PD への供給電圧を最適にスケジュールすることで、与えられた A-D 変換特性を、ノイズを最小化する条件の下で実現する。ノイズの低減は、暗い照明条件下での撮像を可能とするために重要である。

開発したシステムを用いて実際に感度特性制御を行った実験結果を図 9 および図 10 に示す。フレーム時間は 8ms とした。点灯した白熱球デスクライトと、犬のぬいぐるみが被写体として収まっている。(a) に照度に比例する特性で撮像したものを、(b) に照度に対して対数圧縮される特性で撮像したものを示す。また、ヒストグラムが均等となるような特性で撮像したものを (c) に示す。(b) および (c) の撮像結果からわかるように、適切な A-D 変換特性を与えることによって広いダイナミックレンジに渡る撮像を実現することが可能となっている。

## 5 おわりに

超高速ビジョンを複数台接続して用いることを想定し、新たに開発されたシステムについて報告

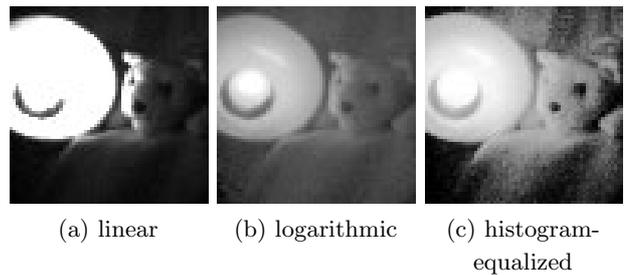


図 9: 異なる A-D 変換スケールでの撮像結果

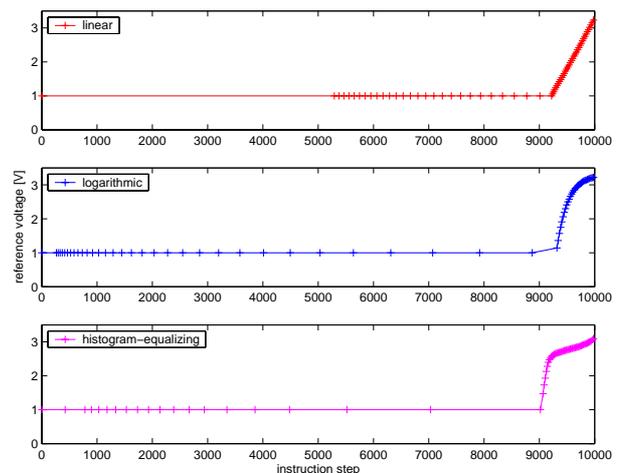


図 10: A-D 変換に用いた制御スケジュール. 1 ステップを最大露光時間の 1/10000 とした。

した。現在、本システムのネットワーク接続の実現に向けて、開発を継続しているところである。

## 参考文献

- [1] 小室孝, 鏡慎吾, 石川正俊. ビジョンチップのための動的再構成可能な SIMD プロセッサ. 電子情報通信学会論文誌 (D-II), Vol. J86-D-II, No. 11, pp. 1575–1585, 2003.
- [2] Shingo Kagami, Takashi Komuro, and Masatoshi Ishikawa. A software-controlled pixel-level A-D conversion method for digital vision chips. In *2003 IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors*, 2003.