

# 大域ディペンダブル情報基盤プロジェクト

## アーキテクチャグループ

平木 敬  
情報理工学系研究科

### 1. はじめに

アーキテクチャグループでは、高性能なディペンダブル情報基盤を、CPU および周辺アーキテクチャという側面から実現するための研究を実施している。具体的には、CPU アーキテクチャ自身の超高信頼化、情報システム全体を高信頼化するために必要な機能を持つディペンダブルプロセッサの実現、高信頼な計算システム技術および、インターネット上でのセキュリティ保護のために必要なアーキテクチャを研究対象としている。平成16年度には、平成15年度から引き続き、ディペンダブルアーキテクチャを①要素故障が発生しても動作を継続するプロセッサアーキテクチャ、②性能とディペンダビリティの両立を実現するプロセッサアーキテクチャ、および③クラスタコンピュータを高信頼化するソフトウェア、④超高速インターネット上のパケットを観測することにより、不正なアクセスを検出するIDSシステムを実現するネットワークプロセッサアーキテクチャの4個の観点から扱った。

### 2. 高耐故障プロセッサの研究 (平木)

高耐故障プロセッサの研究では、プロセッサを構成する要素回路ブロックが故障した場合、CPU回路を組替え、機能を縮小するとともに、縮小した機能を組み合わせてアプリケーションソフトウェアが要求する機能・性能を実現する方式を提案している。この高耐故障プロセッサ方式は、宇宙空間や高山、深海など人間が修理に行くことが不可能な場所で長期間動作させることが必須である応用分野において大きな意義があるとともに、ソフトウェアとハードウェアの協調により回路規模の最適な縮小を行うことを特色としている。平成17年度以降は、故障検出方式を追求するとともに、FPGAを用いたブレッドボードモデルを構築する予定である。

### 3. リコンフィギュラブルユニットを用いたディペンダブルプロセッサの研究 (田中、坂井)

ここではマイクロプロセッサレベルでのディペンダビリティを対象とし、システムLSIに再構成可能ユニットを組み込み、CPUと機能分散することで、性能とディペンダビリティの両面を向上させるプロセッサアーキテクチャ(コデザインを含む)の研究を行っている。

本年度はその3年目として、プロセッサコアの最適化、ソフトウェア検出機構、プログラムの挙動の盗み見防止方式、

暗号回路について提案し、基本設計を行った。さらに、これらの有効性について、シミュレーションなどによって検証した。

平成17年度以降は、今後は、ディペンダビリティ制御機構の研究開発、ディペンダブル要素技術と実行コアとの融合、性能・電力とのトレードオフ、コンパイラの設計の研究開発に取り組む。

### 4. 高信頼HPCクラスタの研究 (南谷、中村)

本研究では、高信頼HPCクラスタシステムの実現を目指し、そのためにまず高速チェックポインティング機構の実現を目指す。具体的には、クラスタシステムにおけるチェックポインティングの問題点を整理するために、ソースが一般に公開されているSCoreクラスタシステムをまず取り上げた。

平成16年度は、本稿ではSkewed CheckpointingというHPCクラスタシステムに適した多重故障対応の高信頼化技術を提案した。また、評価式からオーバーヘッド求め、その有効性を示した。平成17年度以降はノード数を増やした場合の評価を行い、大規模クラスタシステムにおける有効性を示したい。

### 5. 超高速IDS用ネットワークプロセッサの研究 (平木)

本研究は平成15年度から開始する新しいテーマである。インターネットを介した情報化社会において大きな問題となっている、不正アクセスや外部からのDOS攻撃に対して防御するため、侵入検知システム(IDS)は重要な役割をはたす。しかしながら、現状のIDSはソフトウェアにより実現されるため、超高速ネットワーク(基幹ネットワークなど)へそのまま適用することが不可能である。本研究は、不正アクセス検出ルールを、自動的にネットワークプロセッサ上のソフトウェアコードと、FPGAを用いたハードウェア回路に分割し、回路合成することにより、10Gbpsから100Gbps領域でのIDSを実現することを目的としている。平成16年度では、TCPストリームにおける様々な外部からの攻撃モデルに対して有効にストリングマッチングを実現するアルゴリズムを提案し、FPGAを用いた評価を行った。平成17年度以降は、実際にIDSを実現する装置、ネットワークフィルタを実現し、最終的な評価を行う予定である。